

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2000-269487

(P2000-269487A)

(43) 公開日 平成12年9月29日 (2000.9.29)

(51) Int.Cl.⁷

H01L 29/78

識別記号

F I

H01L 29/78

テ-マコード(参考)

653A

652J

審査請求 未請求 請求項の数7 OL (全9頁)

(21) 出願番号 特願平11-68073

(22) 出願日 平成11年3月15日 (1999.3.15)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 591148347

加賀東芝エレクトロニクス株式会社

石川県能美郡辰口町字岩内1番地1

(72) 発明者 鈴木 健之

神奈川県川崎市幸区小向東芝町1番地 株

式会社東芝多摩川工場内

(72) 発明者 若狭 外樹

石川県能美郡辰口町岩内1番地1 加賀東

芝エレクトロニクス株式会社内

(74) 代理人 100058479

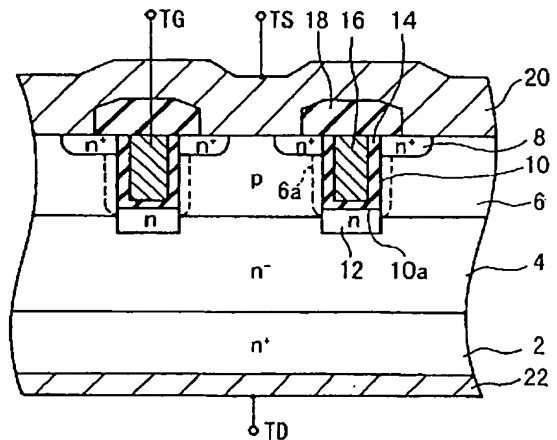
弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】スイッチング損失を低減し、かつ耐圧を向上させることができ、さらに低オン抵抗化も可能な半導体装置及びその製造方法を提供する。

【解決手段】 n^+ 半導体基板2上には n -エピタキシャル層4が形成され、この n -エピタキシャル層4上にはベース領域(p 形領域)6が形成されている。ベース領域6の上部にはソース領域(n^+ 領域)8が形成され、ベース領域6内にはソース領域8を突ら抜き、ベース領域6の層厚より浅いトレンチ10が形成されている。トレンチ10の底面下には、トレンチの底面10aから n -エピタキシャル層4に達するように、 n -エピタキシャル層4以上の濃度の n 形領域12が形成されている。そして、トレンチ10の側面上及び底面上には、ゲート絶縁膜14が形成され、このゲート絶縁膜14上にはゲート電極16が形成されている。



【特許請求の範囲】

【請求項1】 半導体基板上に形成された第1導電形の第1の半導体領域と、

前記第1の半導体領域上に形成された第2導電形の第2の半導体領域と、

前記第2の半導体領域内に形成された第1導電形の第3の半導体領域と、

前記第2の半導体領域内に前記第3の半導体領域を突ら抜いて形成された、前記第2の半導体領域の層厚より浅いトレンチと、

前記トレンチの底面下に、前記トレンチの底面から前記第1の半導体領域に達するように形成された、第1導電形で前記第1の半導体領域以上の濃度の第1の半導体領域と、

前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、
を具備することを特徴とする半導体装置。

【請求項2】 半導体基板上に形成された第1導電形の第1の半導体領域と、

前記第1の半導体領域上に形成された第2導電形の第2の半導体領域と、

前記第2の半導体領域内に形成された第1導電形の第3の半導体領域と、

前記第2の半導体領域内に前記第3の半導体領域を突ら抜いて形成された、前記第2の半導体領域の層厚より浅いトレンチと、

前記トレンチの底面下の前記第2の半導体領域に形成された、第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域と、

前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、
を具備することを特徴とする半導体装置。

【請求項3】 半導体基板上に形成された第1導電形の第1の半導体領域と、

前記第1の半導体領域上に形成された第2導電形の第2の半導体領域と、

前記第2の半導体領域内に形成された第1導電形の第3の半導体領域と、

前記第2の半導体領域内に前記第3の半導体領域を突ら抜いて形成された、前記第2の半導体領域の層厚より浅いトレンチと、

前記トレンチの底面下の前記第2の半導体領域及びこの第2の半導体領域下の第1の半導体領域に形成された、第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域と、

前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、

前記ゲート絶縁膜上に形成されたゲート電極と、

を具備することを特徴とする半導体装置。

【請求項4】 前記第4の半導体領域の濃度は、耐圧の低下を招かない範囲内で設定されることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】 半導体基板上に第1導電形の第1の半導体領域を形成する工程と、

前記第1の半導体領域の上部に、第2導電形の第2の半導体領域を形成する工程と、

前記第2の半導体領域の上部に、第1導電形の第3の半導体領域を形成する工程と、

前記第2の半導体領域内に、前記第3の半導体領域を突ら抜いて前記第2の半導体領域の層厚より浅いトレンチを形成する工程と、

前記トレンチの底面下に、前記トレンチの底面から前記第1の半導体領域に達するように第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域を形成する工程と、

前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の内面上にゲート電極を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に第1導電形の第1の半導体領域を形成する工程と、

前記第1の半導体領域の上部に、第2導電形の第2の半導体領域を形成する工程と、

前記第2の半導体領域の上部に、第1導電形の第3の半導体領域を形成する工程と、

前記第2の半導体領域内に、前記第3の半導体領域を突ら抜いて前記第2の半導体領域の層厚より浅いトレンチを形成する工程と、

前記トレンチの底面下の前記第2の半導体領域に、第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域を形成する工程と、

前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜の内面上にゲート電極を形成する工程と、

を具備することを特徴とする半導体装置の製造方法。

【請求項7】 半導体基板上に第1導電形の第1の半導体領域を形成する工程と、

前記第1の半導体領域の上部に、第2導電形の第2の半導体領域を形成する工程と、

前記第2の半導体領域の上部に、第1導電形の第3の半導体領域を形成する工程と、

前記第2の半導体領域内に、前記第3の半導体領域を突ら抜いて前記第2の半導体領域の層厚より浅いトレンチを形成する工程と、

前記トレンチの底面下の前記第2の半導体領域及びこの第2の半導体領域下の第1の半導体領域に、第1導電形

で前記第1の半導体領域以上の濃度の第4の半導体領域を形成する工程と、
前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、
前記ゲート絶縁膜の内面上にゲート電極を形成する工程と、
を具備することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、電力分野などで利用される半導体装置及びその製造方法に係わり、特に制御電極へのバイアス印加によってスイッチング動作を制御するパワーMOSFET及びその製造方法に関するものである。

【0002】

【従来の技術】近年、電力変換や電力制御が行われる場合、パワー半導体装置が不可欠なデバイスであり、なかでもパワー半導体装置の一種であるパワーMOSFETは、その優れた高速スイッチング性能が注目され、スイッチング電源分野などでキーデバイスとして用いられている。

【0003】以下に従来のパワーMOSFETの中のトレンチ型nチャネルパワーMOSFETの構成を図面を用いて説明する。

【0004】図9は、従来のトレンチ型パワーMOSFETの構造を示す断面図である。半導体層内にはほぼU字形状の溝（以下トレンチと記す）が形成されており、トレンチ型パワーMOSFETはこのトレンチ内に制御電極であるゲート電極が埋め込まれた構造を有している。

【0005】図9に示すように、n+半導体基板102上にはn-エピタキシャル層104が形成され、このn-エピタキシャル層104上にはベース領域（p形領域）106が形成されている。さらに、ベース領域106の上部には、ソース領域（n+領域）108が形成されている。前記n+半導体基板102及びn-エピタキシャル層104はドレイン領域である。

【0006】また、前記ソース領域108及びベース領域106を貫いてn-エピタキシャル層104に突き出すようにトレンチ110が形成されており、このトレンチ110内にはゲート絶縁膜112とゲート電極114が形成されている。ゲート電極114上には層間絶縁膜116が形成され、さらに全面にはソース領域108とベース領域106に電気的に接続するように形成されたソース電極118が設けられている。また、前記ゲート電極114、ソース電極118、及びn+半導体基板102（ドレイン領域）には、それぞれゲート端子TG、ソース端子TS、及びドレイン端子TDが接続されている。以上のような構造を、従来のトレンチ型パワーMOSFETは有している。

【0007】

【発明が解決しようとする課題】前述したような構造を有するトレンチ型パワーMOSFETでは、本来、トレンチ110の深さはベース領域106の底面と同一面上に一致するのが特性上最もよいが、製造装置によるプロセスのばらつき等、プロセスマージンを考慮して必要以上にベース領域106からトレンチ110が突き出すような構造にしている。

【0008】しかしながら、ベース領域106からトレンチ110の突き出し量が多くなると、ゲート電極114とn-エピタキシャル層104（ドレイン領域）との対向する面積が多くなり、ゲート電極とドレイン領域との間の容量（以下ゲートドレイン容量と記す）が非常に大きくなってしまふ。ゲートドレイン容量が大きい場合、高速スイッチング動作が必要な用途においては、スイッチング速度の低下や電力損失などが大きくなり、スイッチング損失が増大するという問題が発生する。さらに、トレンチ110の突き出し量が多いと、トレンチ底部のコーナ近傍において電界集中が発生し、ドレイン領域とベース領域との間の耐圧が低下してしまう。

【0009】そこでこの発明は、前記課題に鑑みてなされたものであり、スイッチング損失を低減し、かつ耐圧を向上させることができ、さらに低オン抵抗化も可能な半導体装置及びその製造方法を提供することを目的とする。

【0010】

【課題を解決するための手段】前記目的を達成するために、この発明に係る半導体装置は、半導体基板上に形成された第1導電形の第1の半導体領域と、前記第1の半導体領域上に形成された第2導電形の第2の半導体領域と、前記第2の半導体領域内に形成された第1導電形の第3の半導体領域と、前記第2の半導体領域内に前記第3の半導体領域を突ら抜いて形成された、前記第2の半導体領域の層厚より浅いトレンチと、前記トレンチの底面下に、前記トレンチの底面から前記第1の半導体領域に達するように形成された、第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域と、前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とする。

【0011】また、この発明に係る半導体装置は、半導体基板上に形成された第1導電形の第1の半導体領域と、前記第1の半導体領域上に形成された第2導電形の第2の半導体領域と、前記第2の半導体領域内に形成された第1導電形の第3の半導体領域と、前記第2の半導体領域内に前記第3の半導体領域を突ら抜いて形成された、前記第2の半導体領域の層厚より浅いトレンチと、前記トレンチの底面下の前記第2の半導体領域に形成された、第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域と、前記トレンチの側面上及び底面上

に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とする。

【0012】また、この発明に係る半導体装置は、半導体基板上に形成された第1導電形の第1の半導体領域と、前記第1の半導体領域上に形成された、第2導電形の第2の半導体領域と、前記第2の半導体領域内に形成された第1導電形の第3の半導体領域と、前記第2の半導体領域内に前記第3の半導体領域を突ら抜いて形成された、前記第2の半導体領域の層厚より浅いトレンチと、前記トレンチの底面下の前記第2の半導体領域及びこの第2の半導体領域下の第1の半導体領域に形成された、第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域と、前記トレンチの側面上及び底面上に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極とを具備することを特徴とする。

【0013】また、この発明に係る半導体装置の製造方法は、半導体基板上に第1導電形の第1の半導体領域を形成する工程と、前記第1の半導体領域の上部に、第2導電形の第2の半導体領域を形成する工程と、前記第2の半導体領域の上部に、第1導電形の第3の半導体領域を形成する工程と、前記第2の半導体領域内に、前記第3の半導体領域を突ら抜くように前記第2の半導体領域の層厚より浅いトレンチを形成する工程と、前記トレンチの底面下に、前記トレンチの底面から前記第1の半導体領域に達するように第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域を形成する工程と、前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の内面上にゲート電極を形成する工程とを具備することを特徴とする。

【0014】また、この発明に係る半導体装置の製造方法は、半導体基板上に第1導電形の第1の半導体領域を形成する工程と、前記第1の半導体領域の上部に、第2導電形の第2の半導体領域を形成する工程と、前記第2の半導体領域の上部に、第1導電形の第3の半導体領域を形成する工程と、前記第2の半導体領域内に、前記第3の半導体領域を突ら抜くように前記第2の半導体領域の層厚より浅いトレンチを形成する工程と、前記トレンチの底面下の前記第2の半導体領域に、第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域を形成する工程と、前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の内面上にゲート電極を形成する工程とを具備することを特徴とする。

【0015】また、この発明に係る半導体装置の製造方法は、半導体基板上に第1導電形の第1の半導体領域を形成する工程と、前記第1の半導体領域の上部に、第2導電形の第2の半導体領域を形成する工程と、前記第2の半導体領域の上部に、第1導電形の第3の半導体領域を形成する工程と、前記第2の半導体領域内に、前記第3の半導体領域を突ら抜くように前記第2の半導体領域

の層厚より浅いトレンチを形成する工程と、前記トレンチの底面下の前記第2の半導体領域及びこの第2の半導体領域下の第1の半導体領域に、第1導電形で前記第1の半導体領域以上の濃度の第4の半導体領域を形成する工程と、前記トレンチの側面上及び底面上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜の内面上にゲート電極を形成する工程とを具備することを特徴とする。

【0016】

【発明の実施の形態】以下、この発明の実施の形態の半導体装置として、トレンチ型パワーMOSFETについて説明する。このトレンチ型パワーMOSFETでは、半導体層に形成されたほぼU字形の溝（トレンチ）内に制御電極であるゲート電極が形成されており、トレンチ底部の半導体層には不純物がイオン注入された所定の拡散領域が形成される。ここでは、このトレンチ型パワーMOSFETの耐圧を30V程度に想定し、各部の条件を述べる。

【0017】図1は、この発明の第1の実施の形態のトレンチ型パワーMOSFETの構造を示す断面図である。

【0018】図1に示すように、高濃度のn形半導体基板（n+半導体基板）2上には低濃度のn形エピタキシャル層（n-エピタキシャル層）4が厚さ3 μm 程度形成され、このn-エピタキシャル層4上にはp形領域からなるベース領域6が厚さ2 μm 程度形成されている。このベース領域6の上層には、高濃度のn形領域（n+領域）からなるソース領域8が深さ0.3 μm ～0.4 μm 程度形成されている。なお、前記n+半導体基板2には、不純物濃度（キャリア濃度）が $1.0 \times 10^{18} \sim 1.0 \times 10^{19} [\text{cm}^{-3}]$ 程度の基板が用いられ、またn-エピタキシャル層4の不純物濃度は $2.0 \times 10^{15} [\text{cm}^{-3}]$ 程度とする。前記n+半導体基板2及びn-エピタキシャル層4はドレイン領域である。

【0019】また、前記ソース領域8の表面からベース領域6内に亘って、トレンチ10が表面から1.8 μm 程度の深さで形成されている。このトレンチ10は、その底面10aがn-エピタキシャル層4に到達しないように、ベース領域6内に留まるように形成される。このトレンチ10の底面10a下のベース領域6及びn-エピタキシャル層4には、図1に示すように、n-エピタキシャル層4と同程度か、あるいはこれより若干高い濃度のn形領域12が層厚0.5 μm 程度形成されている。このn形領域12は、デバイスのオン時にはチャネル領域6aとn-エピタキシャル層4との間の電流通路となるため、低抵抗、すなわち高濃度のほうがよい。しかし、n形領域12は、デバイスのオフ時には耐圧を維持するための空乏層が形成される領域であり、濃度が高すぎると空乏層ができにくくなるため、耐圧が低下する。したがって、n形領域12の濃度は、n-エピタキシャル層4と同程度か、あるいは耐圧が問題にならない

範囲内で高濃度に設定する。ここでは、n形領域12の不純物濃度は $2.0 \times 10^{15} \sim 4.0 \times 10^{15} [\text{cm}^{-3}]$ 程度とする。

【0020】さらに、トレンチ10の側面上及び底面10a (n形領域12) 上にはシリコン酸化膜等からなるゲート絶縁膜14が厚さ500Å~1000Å程度形成され、このゲート絶縁膜14の内面上にはトレンチ10を埋め込むようにポリシリコン膜からなるゲート電極16が形成されている。前記ゲート電極16上には層間絶縁膜18が厚さ0.6μm~1μm程度形成され、この層間絶縁膜18上を含むベース領域6上及びソース領域8上にはソース領域8とベース領域6に電気的に接続されたソース電極(A1等)20が形成されている。

【0021】また、n+半導体基板(ドレイン領域)2の裏面上には、ニッケル(Ni)、金(Au)等からなるドレイン電極22がn+半導体基板2と電気的に接続されるように形成されている。さらに、前記ゲート電極16はゲート端子TGに電気的に接続され、ソース電極20はソース端子TSに、ドレイン電極22はドレイン端子TDに電気的に接続されている。

【0022】次に、前記第1の実施の形態のトレンチ型パワーMOSFETの動作について説明する。まず、ソース端子TSに対してゲート端子TGに正の電圧を印加する。例えば、ソース端子TSに負電圧あるいはアース電位を印加し、ゲート端子TGに正電圧を印加する。すると、ゲート絶縁膜14近傍のチャネル領域6aに反転層(チャネル)が誘起される。さらに、ソース端子TSに対してドレイン端子TDにも正の電圧を印加すると、このパワーMOSFETはオン状態となり、電子電流がソース領域8から反転層(チャネル領域6a)、n形領域12を通してn-エピタキシャル層(ドレイン領域)4に流れる。すなわち、ドレイン端子TDからソース端子TSに向かって電流が流れる。

【0023】一方、ゲート端子TGをソース端子TSと短絡させるか、またはソース端子TSに対して、ゲート端子TGに負の電圧を印加すると、チャネル領域6aの反転層は消滅し、このパワーMOSFETはオフ状態となり電流が遮断される。

【0024】以上のように、このトレンチ型パワーMOSFETは、ベース領域6内に形成されたトレンチ10と、このトレンチ10内にゲート絶縁膜14を介して形成されたゲート電極16を有し、ゲート電極16に正のバイアスを印加することによりゲート絶縁膜14に接するトレンチ側壁近傍のベース領域(チャネル領域6a)にチャネルが形成されるように構成されている。前記トレンチ10は、チャネルが形成されるベース領域より浅く形成され、さらにトレンチ10底部にはn-エピタキシャル層4に到達し突き出すようにベース領域6とは反対の導電形(n形)で、かつn-エピタキシャル層4と同程度あるいはこれより高い濃度のn形領域12が形成

されている。このようにトレンチの深さとトレンチ底部に形成される拡散領域がこの第1の実施の形態の特徴部分である。

【0025】ところで、図9に示した従来のトレンチ型パワーMOSFETにおけるトレンチは、ベース領域を突き抜けてn-エピタキシャル層に突き出すように形成されており、しかもn-エピタキシャル層への突き出し量は製造装置によるプロセスのばらつき等、プロセスマージンを考慮し、深めに設定されている。ベース領域より突き出したn-エピタキシャル層内のトレンチ部分では、トレンチ内に形成されたゲート電極とドレイン領域(n-エピタキシャル層)とで対向することとなり、この対向部分はゲートドレイン間の容量として形成されることになる。すなわち、従来のトレンチ型パワーMOSFETでは、製造装置によるプロセスのばらつき等、プロセスマージンを考慮するがゆえに必要以上にゲートドレイン間の容量が大きくなっており、これによりスイッチング損失が増大している。

【0026】これに対して、この第1の実施の形態では、ベース領域からのトレンチの突き出しをなくして、ゲート電極がn-エピタキシャル層内に入り込まないようにし、さらにトレンチの底部に形成される拡散領域を、n-エピタキシャル層(ドレイン領域)と同じ導電形で同程度の濃度になるように形成している。これにより、ゲートドレイン間の容量を小さくできるため、スイッチング損失を低減することができる。さらに、デバイスのオフ時にトレンチ底部のコーナ付近に発生する電界集中を緩和できるため、ドレイン-ソース間の耐圧を向上させることができる。また、トレンチの底部に形成される前記拡散領域を、耐圧が低下しない範囲内でn-エピタキシャル層より高濃度に形成すれば、素子オン抵抗を低減(低オン抵抗化)することも可能である。

【0027】以上説明したようにこの第1の実施の形態によれば、トレンチをベース領域からドレイン領域に突き出さないように形成し、トレンチ底部のベース領域にn-エピタキシャル層(ドレイン領域)と同じ導電形で同濃度の拡散領域を形成することにより、スイッチング損失を低減し、耐圧を向上させた高周波動作に適した素子を提供することができる。また、トレンチ底部の前記拡散領域を、耐圧が低下しない範囲内でn-エピタキシャル層(ドレイン領域)より高濃度に形成することにより、素子オン抵抗を低減した素子を提供することができる。

【0028】次に、この発明の第2の実施の形態のトレンチ型パワーMOSFETについて説明する。

【0029】図2は、第2の実施の形態のトレンチ型パワーMOSFETの構造を示す断面図である。

【0030】図2に示すように、高濃度のn形半導体基板(n+半導体基板)2上には低濃度のn形エピタキシャル層(n-エピタキシャル層)4が厚さ3μm程度形

成され、この n -エピタキシャル層4上には p 形領域からなるベース領域6が厚さ $2\mu\text{m}$ 程度形成されている。このベース領域6の上層には、高濃度の n 形領域(n +領域)からなるソース領域8が深さ $0.3\mu\text{m}\sim 0.4\mu\text{m}$ 程度形成されている。なお、前記 n +半導体基板2には、不純物濃度(キャリア濃度)が $1.0\times 10^{18}\sim 1.0\times 10^{19}[\text{cm}^{-3}]$ 程度の基板が用いられ、また n -エピタキシャル層4の不純物濃度は $2.0\times 10^{15}[\text{cm}^{-3}]$ 程度とする。前記 n +半導体基板2及び n -エピタキシャル層4はドレイン領域である。

【0031】また、前記ソース領域8の表面からベース領域6内に亘って、トレンチ30が表面から $1.7\mu\text{m}$ 程度の深さで形成されている。このトレンチ30は、その底面30aが n -エピタキシャル層4に到達しないように、ベース領域6内に留まるように形成される。このトレンチ30の底面30a下のベース領域6には、図2に示すように、 n -エピタキシャル層4と同程度か、あるいはこれより若干高い濃度の n 形領域32が層厚 $0.3\mu\text{m}$ 程度形成されている。この n 形領域32は、 n -エピタキシャル層4と接し、 n -エピタキシャル層4内に突き出さないように形成される。この n 形領域32は、デバイスのオン時にはチャネル領域6aと n -エピタキシャル層4との間の電流通路となるため、低抵抗、すなわち高濃度のほうがよい。しかし、 n 形領域32は、デバイスのオフ時には耐圧を維持するための空乏層が形成される領域であり、濃度が高すぎると空乏層ができにくくなるため、耐圧が低下する。したがって、 n 形領域32の濃度は、 n -エピタキシャル層4と同程度か、あるいは耐圧が問題にならない範囲内で高濃度に設定する。ここでは、 n 形領域12の不純物濃度は $2.0\times 10^{15}\sim 4.0\times 10^{15}[\text{cm}^{-3}]$ 程度とする。

【0032】さらに、トレンチ30の側面上及び底面30a(n 形領域32)上にはシリコン酸化膜等からなるゲート絶縁膜14が厚さ $500\text{\AA}\sim 1000\text{\AA}$ 程度形成され、このゲート絶縁膜14の内面上にはトレンチ30を埋め込むようにポリシリコン膜からなるゲート電極16が形成されている。前記ゲート電極16上には層間絶縁膜18が厚さ $0.6\mu\text{m}\sim 1\mu\text{m}$ 程度形成され、この層間絶縁膜18上を含むベース領域6上及びソース領域8上にはソース領域8とベース領域6に電氣的に接続されたソース電極(A1等)20が形成されている。

【0033】また、 n +半導体基板(ドレイン領域)2の裏面上には、ニッケル(Ni)、金(Au)等からなるドレイン電極22が n +半導体基板2と電氣的に接続されるように形成されている。さらに、前記ゲート電極16はゲート端子TGに電氣的に接続され、ソース電極20はソース端子TSに、ドレイン電極22はドレイン端子TDに電氣的に接続されている。

【0034】すなわち、このトレンチ型パワーMOSFETでは、トレンチ30はチャネルが形成されるベース

領域より浅く形成され、さらにトレンチ30底部には n -エピタキシャル層4に接し n -エピタキシャル層4内に突き出さないように、ドレイン領域と反対の導電形(n 形)で、かつ n -エピタキシャル層4と同程度あるいはこれより高い濃度の n 形領域32が形成されている。このようにトレンチの深さと、 n -エピタキシャル層4に接するようにトレンチ底部に形成された拡散領域がこの第2の実施の形態の特徴部分である。

【0035】このように構成された第2の実施の形態における作用及び効果については、前記第1の実施の形態と同様であるため、詳細な説明は省略する。

【0036】以上説明したようにこの第2の実施の形態によれば、トレンチをベース領域からドレイン領域に突き出さないように形成し、トレンチ底部のベース領域に n -エピタキシャル層(ドレイン領域)と同じ導電形で同濃度の拡散領域を形成することにより、スイッチング損失を低減し、耐圧を向上させた高周波動作に適した素子を提供することができる。また、トレンチ底部の前記拡散領域を、耐圧が低下しない範囲内で n -エピタキシャル層(ドレイン領域)より高濃度に形成することにより、素子オン抵抗を低減した素子を提供することができる。

【0037】次に、この発明の第3の実施の形態のトレンチ型パワーMOSFETについて説明する。

【0038】図3は、第3の実施の形態のトレンチ型パワーMOSFETの構造を示す断面図である。

【0039】図3に示すように、高濃度の n 形半導体基板(n +半導体基板)2上には低濃度の n 形エピタキシャル層(n -エピタキシャル層)4が厚さ $3\mu\text{m}$ 程度形成され、この n -エピタキシャル層4上には p 形領域からなるベース領域6が厚さ $2\mu\text{m}$ 程度形成されている。このベース領域6の上層には、高濃度の n 形領域(n +領域)からなるソース領域8が深さ $0.3\mu\text{m}\sim 0.4\mu\text{m}$ 程度形成されている。なお、前記 n +半導体基板2には、不純物濃度(キャリア濃度)が $1.0\times 10^{18}\sim 1.0\times 10^{19}[\text{cm}^{-3}]$ 程度の基板が用いられ、また n -エピタキシャル層4の不純物濃度は $2.0\times 10^{15}[\text{cm}^{-3}]$ 程度とする。前記 n +半導体基板2及び n -エピタキシャル層4はドレイン領域である。

【0040】また、前記ソース領域8の表面からベース領域6及び n -エピタキシャル層4内に亘って、トレンチ40が表面から $2.4\mu\text{m}$ 程度の深さで形成されている。このトレンチ40は、その底面40aがベース領域6を突き抜けて n -エピタキシャル層4に突き出すように形成される。このトレンチ40の底面40a下の n -エピタキシャル層4には、図3に示すように、 n -エピタキシャル層4より若干高濃度の n 形領域42が層厚 $0.3\mu\text{m}$ 程度形成されている。この n 形領域42は、デバイスのオン時には電流通路となるため、低抵抗、すなわち高濃度のほうがよい。しかし、 n 形領域42は、

デバイスのオフ時には耐圧を維持するための空乏層が形成される領域であり、濃度が高すぎると空乏層ができにくくなるため、耐圧が低下する。したがって、n形領域42の濃度は、耐圧が問題にならない範囲内でn-エピタキシャル層4より高濃度に設定する。ここでは、n形領域42の不純物濃度は $3.0 \times 10^{15} \sim 4.0 \times 10^{15} [\text{cm}^{-3}]$ 程度とする。

【0041】さらに、トレンチ40の側面上及び底面40a (n形領域42) 上にはシリコン酸化膜等からなるゲート絶縁膜14が厚さ500Å～1000Å程度形成され、このゲート絶縁膜14の内面上にはトレンチ40を埋め込むようにポリシリコン膜からなるゲート電極16が形成されている。前記ゲート電極16上には層間絶縁膜18が厚さ0.6μm～1μm程度形成され、この層間絶縁膜18上を含むベース領域6上及びソース領域8上にはソース領域8とベース領域6に電氣的に接続されたソース電極(A1等)20が形成されている。

【0042】また、n+半導体基板(ドレイン領域)2の裏面上には、ニッケル(Ni)、金(Au)等からなるドレイン電極22がn+半導体基板2と電氣的に接続されるように形成されている。さらに、前記ゲート電極16はゲート端子TGに電氣的に接続され、ソース電極20はソース端子TSに、ドレイン電極22はドレイン端子TDに電氣的に接続されている。

【0043】次に、前記第3の実施の形態のトレンチ型パワーMOSFETの動作について説明する。まず、ソース端子TSに対して、ゲート端子TGに正の電圧を印加する。例えば、ソース端子TSに負電圧あるいはアース電位を印加し、ゲート端子TGに正電圧を印加する。すると、ゲート絶縁膜14近傍のチャネル領域6bに反転層(チャネル)が誘起される。さらに、ソース端子TSに対して、ドレイン端子TDにも正の電圧を印加すると、このパワーMOSFETはオン状態となり、電子電流がソース領域8から反転層(チャネル領域6b)を流れてn-エピタキシャル層(ドレイン領域)4に流れ、この電子電流の一部はn形領域42を流れてn+半導体基板2に流れる。すなわち、ドレイン端子TDからソース端子TSに向かって電流が流れる。

【0044】一方、ゲート端子TGをソース端子TSと短絡させるか、またはソース端子TSに対して、ゲート端子TGに負の電圧を印加すると、チャネル領域6bの反転層は消滅し、このパワーMOSFETはオフ状態となり電流が遮断される。

【0045】以上のように、このトレンチ型パワーMOSFETは、ベース領域6及びn-エピタキシャル層4内に形成されたトレンチ40と、このトレンチ40内にゲート絶縁膜14を介して形成されたゲート電極16を有し、ゲート電極16に正のバイアスを印加することによりゲート絶縁膜14に接するトレンチ側壁近傍のベース領域(チャネル領域6a)にチャネルが形成されるよ

うに構成されている。前記トレンチ40は、ベース領域6を突き抜けてn-エピタキシャル層4に突き出すように形成され、さらにトレンチ40底部のn-エピタキシャル層4にはn-エピタキシャル層4と同じ導電形(n形)で、かつn-エピタキシャル層4より高濃度のn形領域42が形成されている。このようにトレンチの深さとトレンチ底部に形成される拡散領域がこの第3の実施の形態の特徴部分である。

【0046】この第3の実施の形態では、トレンチの底部に形成される拡散領域を、耐圧が問題にならない範囲内でn-エピタキシャル層より高濃度に形成することにより、素子オン抵抗を低減できる。

【0047】以上説明したようにこの第3の実施の形態によれば、トレンチ底部に、ドレイン領域と同じ導電形で、耐圧が問題にならない範囲内でn-エピタキシャル層(ドレイン領域)の濃度より高濃度な拡散領域を形成することにより、素子オン抵抗を低減した素子を提供することができる。

【0048】次に、この発明の前記第1の実施の形態のトレンチ型パワーMOSFETの製造方法について説明する。

【0049】図4～図8は、前述した第1の実施の形態のトレンチ型パワーMOSFETの製造方法を示す各工程の断面図である。

【0050】まず、図4に示すように、不純物濃度が $1.0 \times 10^{18} \sim 1.0 \times 10^{19} [\text{cm}^{-3}]$ 程度のn+半導体基板2上に、エピタキシャル成長法により不純物濃度が $2.0 \times 10^{15} [\text{cm}^{-3}]$ 程度のn-エピタキシャル層4を厚さ5μm程度形成する。このn-エピタキシャル層4に、図5に示すように、イオン注入法によりボロン(B)など導入し、その後1100℃～1200℃程度の熱処理を行って、p形領域からなるベース領域6を表面から深さ2μm程度まで形成する。続いて、前記ベース領域6の上層に、イオン注入法によりヒ素(As)あるいはリン(P)など導入し、その後900℃～1000℃程度の熱処理を行って、n+領域からなるソース領域8を深さ0.3μm～0.4μm程度形成する。

【0051】次に、図6に示すように、RIE法などの異方性エッチングにより、前記ソース領域8の表面からベース領域6内に亘って、表面から1.8μm程度の深さのトレンチ10を形成する。このとき、トレンチ10の底面10aがn-エピタキシャル層4に到達しないように、ベース領域6内に留まるようにする。

【0052】このトレンチ10の底面10a下のベース領域6及びn-エピタキシャル層4に、図7に示すように、イオン注入法によりヒ素(As)あるいはリン(P)など導入し、その後900℃～1000℃程度の熱処理を行って、n-エピタキシャル層4と同程度か、あるいはこれより若干高い濃度のn形領域12を層厚

0.5 μm 程度形成する。ここでは、n形領域12の不純物濃度を $2.0 \times 10^{15} \sim 4.0 \times 10^{15} [\text{cm}^{-3}]$ 程度に設定する。

【0053】さらに、図8に示すように、トレンチ10の側面上及び底面10a (n形領域12) 上に、シリコン酸化膜等からなるゲート絶縁膜14を厚さ500 Å～1000 Å程度形成する。このゲート絶縁膜14の内面上に、トレンチ10を埋め込むようにCVD法によりポリシリコン膜からなるゲート電極16を形成する。その後、全面に絶縁膜を厚さ0.6 μm ～1 μm 程度形成し、パターニングを行って図1に示すように、前記ゲート電極16上に層間絶縁膜18を形成する。続いて、全面にアルミニウム (Al) 等からなる金属膜を形成し、パターニングを行ってソース領域8とベース領域6に電氣的に接続されたソース電極20を形成する。さらに、n+半導体基板 (ドレイン領域) 2の裏面上に、ニッケル (Ni)、金 (Au) 等からなるドレイン電極22をn+半導体基板2と電氣的に接続されるように形成する。以上により、第1の実施の形態のトレンチ型パワーMOSFETが製造できる。

【0054】以上説明したような製造方法によれば、図1に示した前記第1の実施の形態のトレンチ型パワーMOSFETを容易に製造することができる。さらに、上述の製造方法において、トレンチを形成するためのRIE法の製造条件、拡散層を形成するためのイオン注入時の条件などを適宜設定すれば、図2、図3に示した前記第2、第3の実施の形態のトレンチ型パワーMOSFETも容易に製造することができる。

【0055】

【発明の効果】以上述べたようにこの発明によれば、スイッチング損失を低減し、かつ耐圧を向上させることができ、さらに低オン抵抗化も可能な半導体装置及びその製造方法を提供することが可能である。

【図面の簡単な説明】

【図1】この発明の第1の実施の形態のトレンチ型パワーMOSFETの構造を示す断面図である。

【図2】この発明の第2の実施の形態のトレンチ型パワーMOSFETの構造を示す断面図である。

【図3】この発明の第3の実施の形態のトレンチ型パワーMOSFETの構造を示す断面図である。

【図4】前記第1の実施の形態のトレンチ型パワーMOSFETの製造方法を示す各工程の断面図である。

【図5】前記第1の実施の形態のトレンチ型パワーMOSFETの製造方法を示す各工程の断面図である。

【図6】前記第1の実施の形態のトレンチ型パワーMOSFETの製造方法を示す各工程の断面図である。

【図7】前記第1の実施の形態のトレンチ型パワーMOSFETの製造方法を示す各工程の断面図である。

【図8】前記第1の実施の形態のトレンチ型パワーMOSFETの製造方法を示す各工程の断面図である。

【図9】従来のトレンチ型パワーMOSFETの構造を示す断面図である。

【符号の説明】

- 2…高濃度のn形半導体基板 (n+半導体基板)
- 4…低濃度のn形エピタキシャル層 (n-エピタキシャル層)
- 6…ベース領域 (p形領域)
- 6a…チャネル領域
- 6b…チャネル領域
- 8…ソース領域 (n+領域)
- 10…トレンチ (U形状の溝)
- 10a…トレンチ底面
- 12…n形領域
- 14…ゲート絶縁膜
- 16…ゲート電極
- 18…層間絶縁膜
- 20…ソース電極 (Al等)
- 22…ドレイン電極
- 30…トレンチ (U形状の溝)
- 30a…トレンチ底面
- 40…トレンチ (U形状の溝)
- 40a…トレンチ底面
- TG…ゲート端子
- TS…ソース端子
- TD…ドレイン端子

【図4】

【図5】

【図6】

